

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3083524号
(P3083524)

(45) 発行日 平成12年9月4日(2000.9.4)

(24) 登録日 平成12年6月30日(2000.6.30)

| | | |
|---------------------------|-------|-----------------------|
| (51) Int.Cl. ⁷ | 識別記号 | F I |
| H 0 3 H 17/00 | 6 0 1 | H 0 3 H 17/00 6 0 1 M |
| G 1 0 K 11/178 | | G 1 0 K 11/16 H |

請求項の数 2 (全 6 頁)

| | | | |
|-----------|----------------------|-----------|---|
| (21) 出願番号 | 特願平1-59293 | (73) 特許権者 | 999999999 株式会社東芝 神奈川県川崎市幸区堀川町72番地 |
| (22) 出願日 | 平成1年3月10日(1989.3.10) | (72) 発明者 | 田代 育夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内 |
| (65) 公開番号 | 特開平2-238707 | (72) 発明者 | 渋谷 信男 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内 |
| (43) 公開日 | 平成2年9月21日(1990.9.21) | (72) 発明者 | 鈴木 成一郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内 |
| 審査請求日 | 平成8年3月11日(1996.3.11) | (74) 代理人 | 999999999 弁理士 鈴江 武彦 (外3名) |
| | | 審査官 | 工藤 一光 |

最終頁に続く

(54) 【発明の名称】 回転機音消音装置

1

(57) 【特許請求の範囲】

【請求項1】 回転機の近傍に配置されたマイクロホンから出力される回転機音信号を入力信号とし、該入力信号の基本周波数の周期に同期した基本パルスを発生する基本パルス発生手段と、

前記基本パルス発生器で発生された基本パルスの周期内に設定標本数(N)に対応させて前記基本周波数のN倍の周波数を有する標本化信号を発生する標本化信号発生手段と、

前記基本パルスに同期したトリガ信号を発生するトリガ信号発生手段と、

前記標本化信号を用いて前記入力信号をデジタル信号に変換し、前記トリガ信号が与えられる毎に該デジタル信号を出力するA/D変換器と、

前記A/D変換器から出力されたデジタル信号をフーリ

2

エ変換して周波数分析し、これにより得られた各周波数成分に所定の係数を掛ける処理を行う処理手段と、

前記標本化信号をクロック信号として用い、前記トリガ信号を与えられる毎に前記処理手段により処理されたデジタル信号をアナログ信号に変換して、消音対象点の近傍に設置されたスピーカに与えるD/A変換器とを具備してなることを特徴とする回転機音消音装置。

【請求項2】 前記標本化信号発生手段は、前記基本パルス発生手段で発生された基本パルスを入力として動作する周波数通倍形のフェーズロックドループによって構成されていることを特徴とする請求項1に記載の回転機音消音装置。

【発明の詳細な説明】

【発明の目的】

(産業上の利用分野)

本発明は、回転機音消音装置に係り、特に回転機音信号をA/D変換して処理した後にD/A変換してスピーカに出力する回転機音消音装置に関する。

(従来の技術)

ある種の装置では、繰り返し変動する入力信号をA/D変換器でデジタル信号に変換した後に処理装置本体に通し、この処理装置本体を通った信号をD/A変換器でアナログ信号に変換して出力する信号処理装置を必要とするものがある。このような装置の代表的なものとして、ある場所での回転機音を人工的に消す回転機音消音装置をあげることができる。回転機が発生する音は、回転数の整数倍の周波数で繰り返し変動する。回転機音消音装置は、通常、騒音発生源である回転機の近くにマイクロホンを配置するとともに消音対象点の近くにスピーカを設置している。そして、マイクロホンで得られた回転機音信号をA/D変換器でデジタル信号に変換した後、フーリエ変換器で周波数分析し、各周波数成分信号に必要な係数を掛け、これをD/A変換器でアナログ信号に戻し、このアナログ信号をスピーカの入力信号として与えるようにしている。

ところで、このような回転機音消音装置では、一般に、A/D変換器で用いる標本化信号をそのままD/A変換器のクロック信号として用いている。そして、標本化信号の周期、つまり標本化時間を、入力信号の基本周波数の変動幅を考慮に入れたサンプリング定理から導かれる一定の値 Δt に設定するようにしている。

しかしながら、このような回転機音消音装置、つまり繰り返し変動する入力信号をA/D変換した後にD/A変換して出力する従来の信号処理装置にあっては次のような問題があった。すなわち、入力信号の基本周波数がほぼ一定の場合にはそれ程問題とはならないが、基本周波数が変動した場合には入力信号の波形と出力信号の波形との整合性が崩れ、良好な制御ができなくなることがある。第3図は、この現象を回転機音消音装置を例にとりて示したものである。従来の回転機音消音装置では、入力信号(a)の基本周波数成分の周期に同期したトリガ信号(b)を発生させる。そして、一定周期の標本化信号(c)を使って入力信号を標本化し、トリガ信号間で得られた標本をリアルタイムでA/D変換(d)して取り込む。今、トリガ信号間を図に示すように、 $n, n+1, n+2, \dots$ とすると、 n の期間に取り込まれたデジタルデータを $n+1$ の期間にフーリエ変換し、各周波数成分に必要な係数を掛ける。つまり信号処理(e)を行う。続いて、処理されたデジタルデータを $n+2$ の期間に標本化信号(c)をクロック信号に用いてD/A変換

(f)し、アナログデータとして出力(g)させるようにしている。第3図に示す波形から判るように、入力信号(a)の基本周波数が一定のときには問題ないが、たとえば $n+1$ の期間と $n+2$ の期間のように、基本周波数が変化した場合には、出力(g)は入力信号の波形と

は全く異なった波形になる。したがって、回転機音の良好な消音は期待できないことになる。また、A/D変換した信号をフーリエ変換して周波数分析するためにはトリガ信号(b)で入力信号を区切って処理する必要があるが、従来の装置ではトリガ信号(b)の周期と標本化信号との同期がとれていない。このため、入力信号を不連続に抽出していることになり、このままフーリエ変換すると処理結果にリークエラータが生ずる。これを防ぐために従来の装置ではウィンドウ処理を施すようにしている。しかし、得られたエネルギーを示すデータに演算誤差を考慮した補正を行わなければならない、しかもこの処理のために演算時間が長くなる問題もあった。

(発明が解決しようとする課題)

上述の如く、従来のこの種の信号処理装置にあっては、入力信号の波形と出力信号の波形との整合性がとれない場合が発生するばかりか、A/D変換からD/A変換に至る過程でウィンドウ処理等の特殊な処理を必要とし、しかも処理に長時間を要する問題があった。

そこで本発明は、入力信号の基本周波数の変化に対応させて周期が自動的に変化する標本化信号を作る機能を備え、この標本化信号を使って各サンプリング期間内で設定された数の標本化を正確に行うことができ、もって前述した問題点を解消できる回転機音消音装置を提供することを目的としている。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、本発明に係る回転機音消音装置は、回転機の近傍に配置されたマイクロホンから出力される回転機音信号を入力信号とし、該入力信号の基本周波数の周期に同期した基本パルスを発生する基本パルス発生手段と、前記基本パルス発生器で発生された基本パルスの周期内に設定標本数(N)に対応させて前記基本周波数のN倍の周波数を有する標本化信号を発生する標本化信号発生手段と、前記基本パルスに同期したトリガ信号を発生するトリガ信号発生手段と、前記標本化信号を用いて前記入力信号をデジタル信号に変換し、前記トリガ信号が与えられる毎に該デジタル信号を出力するA/D変換器と、前記A/D変換器から出力されたデジタル信号をフーリエ変換して周波数分析し、これにより得られた各周波数成分に所定の係数を掛ける処理を行う処理手段と、前記標本化信号をクロック信号として用い、前記トリガ信号が与えられる毎に前記処理手段により処理されたデジタル信号をアナログ信号に変換して、消音対象点の近傍に設置されたスピーカに与えるD/A変換器とを具備してなることを特徴とする。

(実施例)

以下、図面を参照しながら実施例を説明する。

第1図には本発明の一実施例に係る信号処理装置、ここには回転機音消音装置に適用した信号処理装置の例が示されている。

図示しないマイクロホンから出力された回転機音信号は入力信号Kとして、一方においては基本パルス発生回路1に入力され、他方においてはA/D変換器2に入力される。基本パルス発生回路1は、フィルタ回路3と波形整形回路4とで構成されており、入力信号Kの基本周波数成分がたとえばマイナスからプラスへ変化するときのゼロクロス時点において基本パルスLを発生するように構成されている。そして、この基本パルスLは、標準化信号発生回路5に導入される。

標準化信号発生回路5は、たとえば周波数通倍形のフェーズロックドループによって構成されている。すなわち、位相比較器6の一方の入力端に基本パルスLを入力するとともに位相比較器6の出力をローパスフィルタ7を介して電圧制御形発振器8に導入し、さらに電圧制御形発振器8の出力を分周器9を介して位相比較器6の他方の入力端に導入している。なお、分周器9の分周比は標準数設定器10によって行われる。したがって、この標準化信号発生回路5では、今、分周器9の分周比を1/Nとし、基本パルスLの周波数をfとすると、常にNf倍の周波数の標準化信号Mを出力する。そして、この標準化信号Mは、一方においてはトリガ信号発生器11に与えられ、他方においてはA/D変換器2の標準化信号として、また後述するD/A変換器15のクロック信号として与えられる。

トリガ信号発生器11は、標準化信号Mを1/Nに分周する分周器12と、この分周器12の出力と前記基本パルスLとを入力して基本周波数成分の任意の位相でトリガ信号Pを出力するデジタル比較器13とで構成されている。そして、トリガ信号Pは、A/D変換器2のデータ転送指令およびD/A変換器15のデータ読み込み指令として与えられる。

A/D変換器2は、入力信号Kを標準化信号Mで標準化し、これら標準をデジタル信号に変換して一旦蓄える。そして、トリガ信号Pが与えられ都度、蓄えたデータを処理部14へ転送する。処理部14はA/D変換器2から転送されたデータをフーリエ変換して周波数分析し、各周波数成分に必要な係数を掛ける。また、D/A変換器15は、トリガ信号Pが与えられる都度、処理部14からデータを読み込み、これを標準化信号Mをクロック信号としてアナログ信号に変換して出力する。このD/A変換器15から出力されるアナログ信号は、前述したように消音対象点の近傍に設置されたスピーカに与えられる。

次に、上記のように構成された装置の動作を第2図を適宜参照しながら説明する。繰り返し変動する入力信号Kが導入されると、基本パルス発生回路1は、入力信号Kの基本周波数成分を抽出し、この基本周波数成分の一方のゼロクロス点に到来する毎に基本パルスLを出力する。一方、標準化信号発生回路5は、分周器9の分周比を1/Nとすると、良く知られているフェーズロックドル

ープの作用により、基本パルスLの周期の1/Nの周期の標準化信号Mを出力する。そして、この標準化信号Mおよび基本パルスLを入力してトリガ信号発生回路11からトリガ信号Pが出力される。この結果、A/D変換器2、処理部14、D/A変換器15が第2図に示すタイミングで動作し、D/A変換器15からアナログの出力信号Qが送出される。

このように、入力信号Kの基本周波数の周期に同期した基本パルスLを発生させるとともに基本パルスLの周期内に設定標準数Nに対応させて基本周波数のN倍で、かつ同期のとれた標準化信号Mを発生させ、この標準化信号Mを使ってA/D変換器2およびD/A変換器15を動作させるようにしている。すなわち、入力信号の基本周波数をf、標準数をN、fの倍調波数をmとしたとき、基本パルスLの一周期から常にN個の標準を得るために標準化時間 Δt を、

$$\Delta t = 1 / (m * f * N)$$

に制御しているのである。したがって、第2図に示すn+2周期目のように基本周波数が変化した場合でもn+1周期目と同じ標準数でA/D変換を行うことができる。また、このn+2周期目におけるD/A変換もn+1周期目におけるD/A変換と同じ数のクロック信号で変換できる。このため入力信号Kと出力信号Qとの位相および波形の整合性を保つことができる。また、入力信号の基本周期内で標準化を終了させることができるので、A/D変換後のデータにフーリエ変換処理を施してもリークエッジエラーが生じるようなことはない。したがって、従来装置のように、リークエッジエラーを除くために入力した信号に窓関数を掛ける必要がない。このため、窓関数を掛けることによって起こる演算誤差の補正を行う必要がなく、処理速度および処理精度を向上させることができる。

【発明の効果】

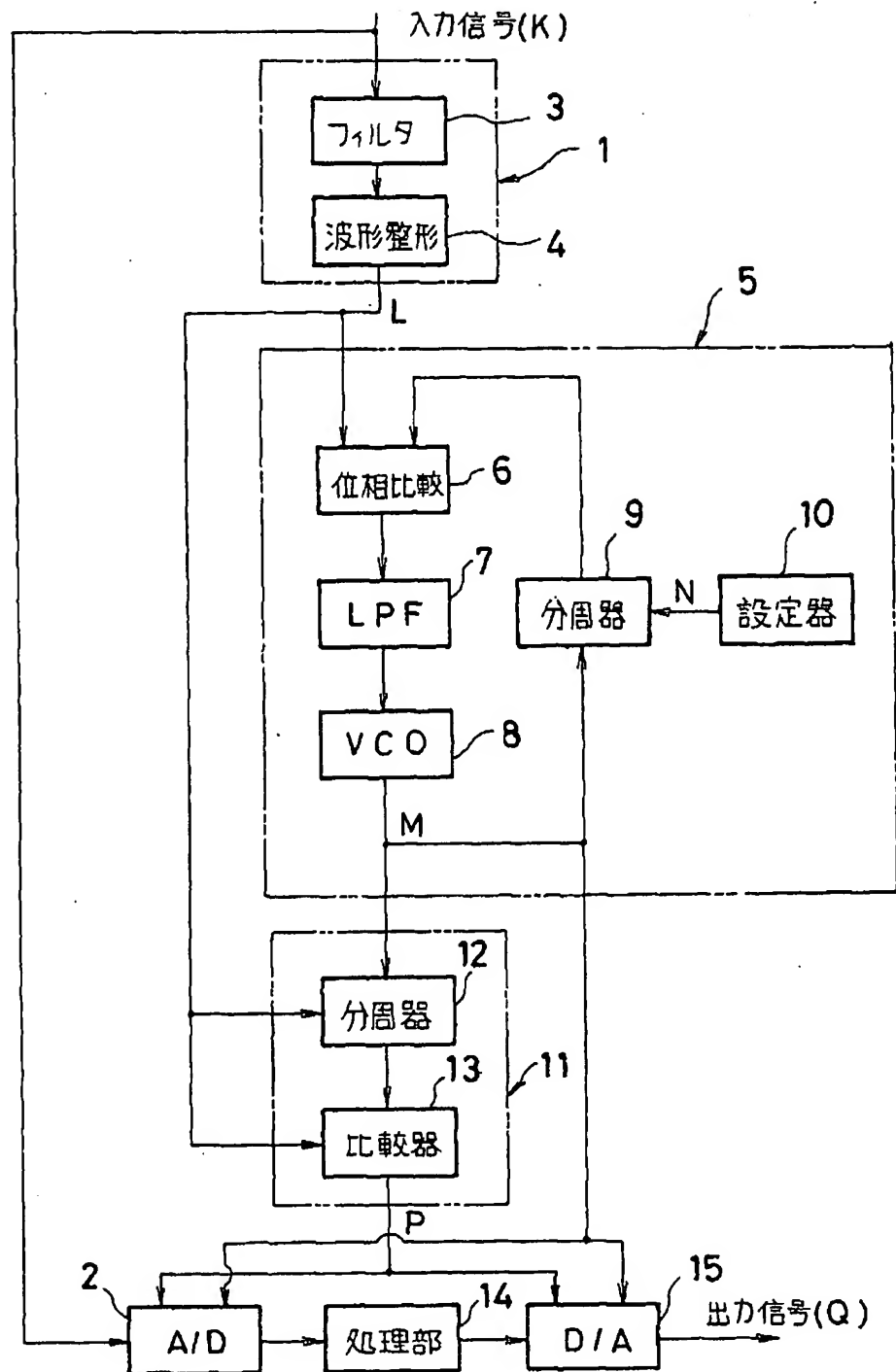
以上述べたように、本発明によれば、繰り返し変動する回転機音信号をA/D変換して処理を施した後、D/A変換してスピーカに与える回転機音消音装置において、入力信号である回転機音信号と出力信号であるD/A変換器からスピーカに与えるアナログ信号との波形の整合性を確保できるばかりでなく、ウィンドウ処理のような複雑な処理を必要とせず、処理時間の短縮と処理精度の向上を図り、良好な消音制御が可能となる。

【図面の簡単な説明】

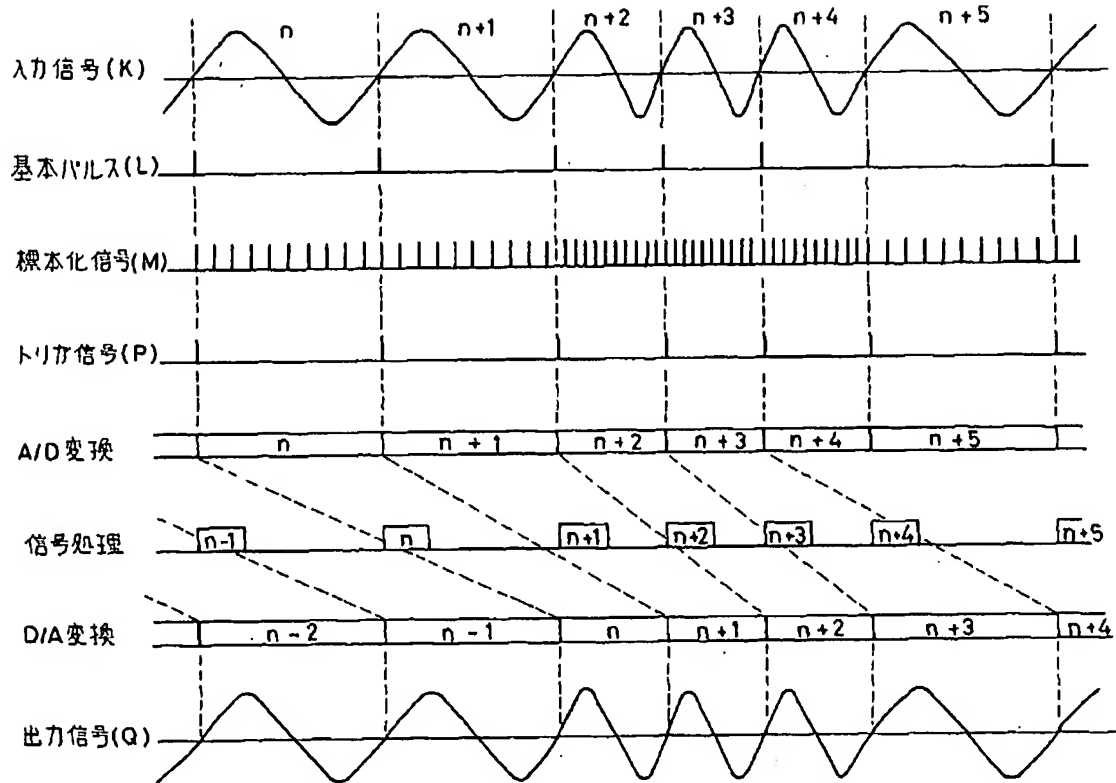
第1図は本発明の一実施例に係る信号処理装置のブロック的構成図、第2図は同装置の動作を説明するための図、第3図は従来の信号処理装置の動作を説明するための図である。

1……基本パルス発生回路、2……A/D変換器、5……標準化信号発生回路、11……トリガ信号発生回路、14……処理装置本体としての処理部、15……D/A変換器。

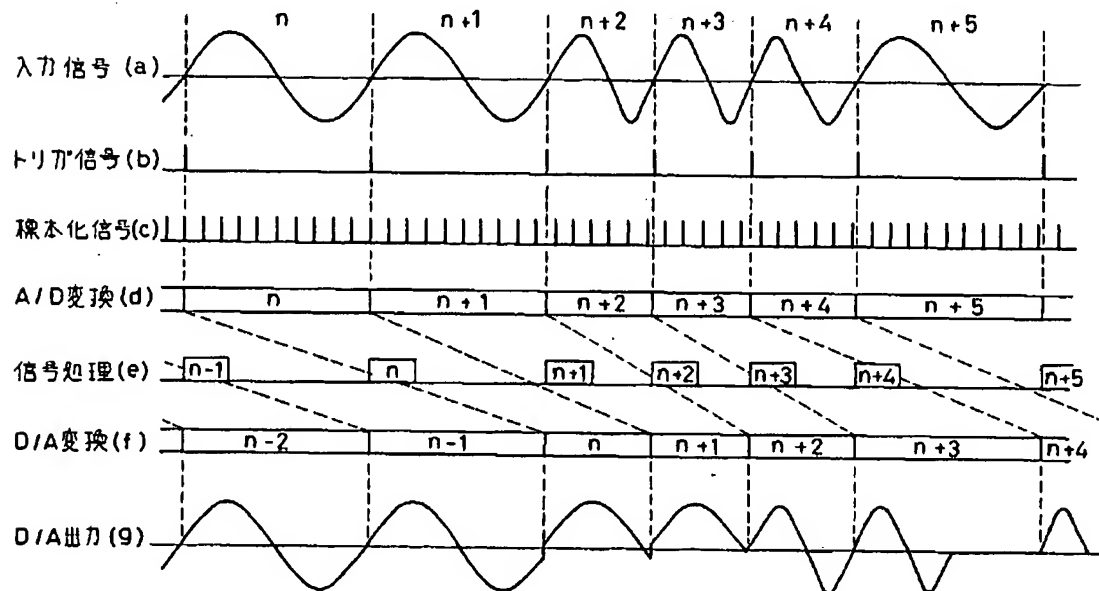
【第1図】



【第2図】



【第3図】



フロントページの続き

(72)発明者 長安 克芳
神奈川県川崎市幸区小向東芝町1番地
株式会社東芝総合研究所内

(56)参考文献 特開 昭62-15912 (JP, A)
特開 昭60-112 (JP, A)
特開 昭62-146004 (JP, A)
特公 昭63-21363 (JP, B2)
実公 昭63-29298 (JP, Y2)

(58)調査した分野(Int. Cl.⁷, DB名)

H03H 17/00 - 17/08

G10K 11/16